

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319876

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H01L 21/027  
G02F 1/1368  
G03F 7/20  
H01L 21/3065  
H01L 29/786  
H01L 21/336

(21)Application number : 2001-068310

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 12.03.2001

(72)Inventor : PARK WOON-YONG  
IN SHOSHU

(30)Priority

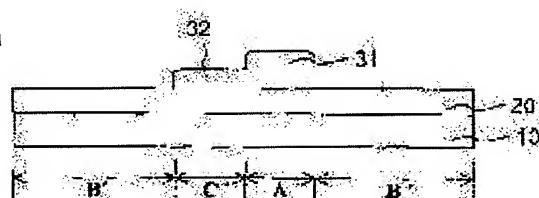
Priority number : 2000 200012486 Priority date : 13.03.2000 Priority country : KR

**(54) METHOD AND APPARATUS FOR PHOTO ETCHING AND METHOD OF MANUFACTURING THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAYS, UTILIZING THE SAME**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the productivity in a photoetching process for semiconductor elements and simplify the process of manufacturing thin film transistors for liquid crystal displays.

**SOLUTION:** Two aligners are attached to a photoetcher to improve the productivity, photosensitive films different in thickness are formed into many layers of thin films in two exposure steps and etched at once to simplify the process. Thus, a uniform pattern over the entire substrate can be formed.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-319876  
(P2001-319876A)

(43)公開日 平成13年11月16日(2001.11.16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 01 L 21/027		G 02 F 1/1368	
G 02 F 1/1368		G 03 F 7/20	5 0 1
G 03 F 7/20	5 0 1	H 01 L 21/30	5 0 2 C
H 01 L 21/3065		21/302	H
29/786		29/78	6 1 2 D

審査請求 未請求 請求項の数31 O.L (全 23 頁) 最終頁に続く

(21)出願番号	特願2001-68310(P2001-68310)
(22)出願日	平成13年3月12日(2001.3.12)
(31)優先権主張番号	2 0 0 0 - 1 2 4 8 6
(32)優先日	平成12年3月13日(2000.3.13)
(33)優先権主張国	韓国 (K.R.)

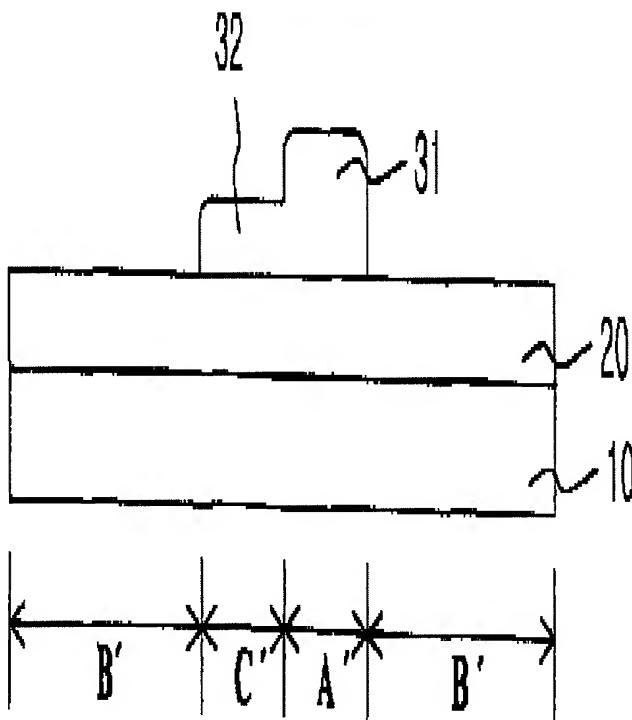
(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅瓣洞416
(72)発明者	朴 雲 用 大韓民国京畿道水原市八達区梅瓣1洞住公 5 団地アパート521棟1107号
(72)発明者	尹 鑑 秀 大韓民国忠青南道天安市九星洞473-15
(74)代理人	100094145 弁理士 小野 由己男 (外1名)

(54)【発明の名称】 写真エッチング用装置及び方法、そしてこれを利用した液晶表示装置用薄膜トランジスタ基板の製造方法

(57)【要約】

【課題】 半導体素子の写真エッチング工程において生産性を向上させ、液晶表示装置用薄膜トランジスタ基板の製造工程を単純化する。

【解決手段】 本発明では写真エッチング用装置に2つ露光器を設置して生産性を向上させ、2回の露光工程で厚さが異なる感光膜を形成して多数層の薄膜を一度にエッチングするので工程が簡単であると共に基板全体に均一なパターンを得ることができる。



【特許請求の範囲】

【請求項 1】基板上に感光膜を塗布する塗布装置と、前記感光膜を露光する第 1 及び第 2 露光器と、露光された前記感光膜を現像する現像装置と、を含む半導体素子の写真エッチング用装置。

【請求項 2】基板上に形成されている薄膜上に感光膜を塗布する段階と、前記感光膜を第 1 露光する段階と、前記第 1 露光された感光膜を第 2 露光する段階と、前記感光膜を現像して厚さが互いに異なる少なくとも三つの部分を形成する段階と、を含む薄膜の写真エッチング方法。

【請求項 3】前記第 1 露光及び第 2 露光は互いに異なる露光器を利用する請求項 2 に記載の薄膜の写真エッチング方法。

【請求項 4】前記第 2 露光時に露光される光の強さは前記第 1 露光の光の強さより弱いことを特徴とする請求項 2 に記載の薄膜の写真エッチング方法。

【請求項 5】前記第 2 露光の露光時間が前記第 1 露光の露光時間より短いことを特徴とする請求項 4 に記載の薄膜の写真エッチング方法。

【請求項 6】前記第 2 露光の露光時間が前記第 1 露光の露光時間より短いことを特徴とする請求項 2 に記載の薄膜の写真エッチング方法。

【請求項 7】絶縁基板の上にゲート線、前記ゲート線に連結されているゲート電極を含むゲート配線を形成する段階と、前記ゲート配線を覆うゲート絶縁膜、半導体層、抵抗性接触層、そして導電体層を蒸着する段階と、前記導電体層と前記接触層及び前記半導体層とをパターンングしてデータ線、前記データ線に連結されているソース電極、そして前記データ線及び前記ソース電極と分離されているドレーン電極を含むデータ配線と接触層パターン及び半導体層パターンとを形成する段階と、前記データ配線を覆い、前記ドレーン電極を露出させる接触孔を含む保護膜を形成する段階と、

前記接触孔を通じて前記ドレーン電極と連結されている画素電極を形成する段階とを含み、前記データ配線と前記接触層パターンと前記半導体層とを形成する段階は感光膜パターンを利用した写真エッチング工程を通じて行われ、前記感光膜パターンは前記データ配線を形成するための第 1 露光と前記ソース及びドレーン電極の間のチャンネルを形成するための第 2 露光とによって形成され、前記ソース及びドレーン電極の間に位置し第 1 厚さを有する第 1 部分と前記第 1 部分より厚い厚さを有する第 2 部分と厚さがない第 3 部分とを含む薄膜トランジスタ基板の製造方法。

【請求項 8】前記第 1 露光と第 2 露光とは互いに異なる露光器を用いることを特徴とする請求項 7 に記載の薄膜

トランジスタ基板の製造方法。

【請求項 9】前記第 2 露光時に露光される光の強さは前記第 1 露光の光の強さより弱いことを特徴とする請求項 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 10】前記第 2 露光の露光時間が前記第 1 露光の露光時間より短いことを特徴とする請求項 9 に記載の薄膜トランジスタ基板の製造方法。

【請求項 11】前記第 2 露光の露光時間が前記第 1 露光の露光時間より短いことを特徴とする請求項 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 12】絶縁基板の上にゲート線、前記ゲート線に連結されているゲート電極及びゲートパッドを含むゲート配線を形成する段階と、

前記ゲート配線の上部にゲート絶縁膜、半導体層、抵抗性接触層、そして導電体層を蒸着する段階と、前記導電体層と前記接触層、前記半導体層及び前記ゲート絶縁膜をパターニングして前記ゲートパッドを露出させる第 1 接触孔と、導電体パターン、接触層パターン、そして半導体層パターンを形成する段階と、前記導電体パターン及び接触層パターンをパターニングしてデータ線、前記データ線に連結されているソース電極、前記データ線及び前記ソース電極と分離されているドレーン電極、そして前記データ線の一端に位置するデータパッドを含むデータ配線と接触層パターンを完成する段階と、

前記ドレーン電極と連結されている画素電極を形成する段階と、

前記データ配線と前記画素電極を覆い、前記ゲートパッド及び前記データパッドをそれぞれ露出させる第 2 及び第 3 接触孔を含む保護膜を形成する段階とを含み、前記第 1 接触孔と導電体パターン、接触層パターン、そして半導体層パターンを形成する段階は感光膜パターンを利用した写真エッチング工程を通じて行われ、前記感光膜パターンは前記導電体パターンを形成するための第 1 露光と前記第 1 接触孔を形成するための第 2 露光とによって形成され、前記導電体パターンの上部に位置し第 1 厚さを有する第 1 部分と前記第 1 接触孔の上部に位置し厚さがない第 2 部分と前記第 1 部分より厚さが小さい第 3 部分とを含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 13】前記第 1 露光と第 2 露光とは互いに異なる露光器を用いることを特徴とする請求項 12 に記載の薄膜トランジスタ基板の製造方法。

【請求項 14】前記第 1 露光時に露光される光の強さは前記第 2 露光の光の強さより弱いことを特徴とする請求項 12 に記載の薄膜トランジスタ基板の製造方法。

【請求項 15】前記第 1 露光の露光時間が前記第 2 露光の露光時間より短いことを特徴とする請求項 14 に記載の薄膜トランジスタ基板の製造方法。

【請求項 16】前記第 1 露光の露光時間が前記第 2 露光

の露光時間より短いことを特徴とする請求項 1 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 7】絶縁基板の上にゲート線、前記ゲート線に連結されているゲート電極及びゲートパッドを含むゲート配線を形成する段階と、

前記ゲート配線の上部にゲート絶縁膜、半導体層及び抵抗性接触層を蒸着する段階と、

前記接触層と前記半導体層及び前記ゲート絶縁膜をパターニングして前記ゲートパッドを露出させる第 1 接触孔と接触層パターンと半導体層パターンとを形成する段階と、

前記接触層パターンの上部にデータ線、前記データ線に連結されているソース電極、前記データ線及び前記ソース電極と分離されているドレーン電極、そして前記データ線の一端に位置するデータパッドを含むデータ配線を形成する段階と、

前記接触層パターンを完成する段階と、

前記ドレーン電極と連結されている画素電極を形成する段階と、

前記データ配線と前記画素電極を覆い、前記ゲートパッド及び前記データパッドをそれぞれ露出させる第 2 及び第 3 接触孔を含む保護膜を形成する段階とを含み、

前記第 1 接触孔と前記接触層パターン及び前記半導体層パターンとを形成する段階は感光膜パターンを利用した写真エッチング工程を通じて行われ、

前記感光膜パターンは前記接触層パターンを形成するための第 1 露光と前記第 1 接触孔を形成するための第 2 露光によって形成され、前記接触層パターンの上部に位置し第 1 厚さを有する第 1 部分と前記第 1 接触孔の上部に位置し厚さがない第 2 部分と前記第 1 部分より厚さが小さい第 3 部分とを含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 1 8】前記第 1 露光と第 2 露光とは互いに異なる露光器を用いることを特徴とする請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 9】前記第 1 露光時に露光される光の強さは前記第 2 露光の光の強さより弱いことを特徴とする請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 0】前記第 1 露光の露光時間が前記第 2 露光の露光時間より短いことを特徴とする請求項 1 9 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 1】前記第 1 露光の露光時間が前記第 2 露光の露光時間より短いことを特徴とする請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 2】絶縁基板の上にゲート線、前記ゲート線に連結されているゲート電極及びゲートパッドを含むゲート配線を形成する段階と、

前記ゲート配線の上部に第 1 絶縁膜を形成する段階と、前記第 1 絶縁膜の上部に半導体層を蒸着する段階と、前記半導体層の上部に抵抗性接触層パターンを形成する

段階と、

前記接触層パターンの上部にデータ線、前記データ線に連結されているソース電極、前記データ線及び前記ソース電極と分離されているドレーン電極、そして前記データ線の一端に位置するデータパッドを含むデータ配線を形成する段階と、

前記データ配線を覆う第 2 絶縁膜を形成する段階と、

前記第 2 絶縁膜と前記半導体層及び前記ゲート絶縁膜をパターニングして前記ドレーン電極と前記ゲートパッド、前記データパッドをそれぞれ露出させる第 1 乃至第 3 接触孔及び半導体層パターンを形成する段階と、

前記第 1 接触孔を通じて前記ドレーン電極と連結されている画素電極を形成する段階とを含み、

前記第 1 乃至第 3 接触孔及び前記半導体層パターンを形成する段階は感光膜パターンを利用した写真エッチング工程を通じて行われ、

前記感光膜パターンは前記半導体層パターンを形成するための第 1 露光と前記第 1 乃至第 3 接触孔を形成するための第 2 露光とによって形成され、前記半導体層パターンの上部に位置し第 1 厚さを有する第 1 部分と前記第 1 乃至第 3 接触孔の上部に位置し厚さがない第 2 部分と前記第 1 部分より厚さが小さい第 3 部分とを含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 2 3】前記第 1 露光と第 2 露光とは互いに異なる露光器を用いることを特徴とする請求項 2 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 4】前記第 1 露光時に露光される光の強さは前記第 2 露光の光の強さより弱いことを特徴とする請求項 2 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 5】前記第 1 露光の露光時間が前記第 2 露光の露光時間より短いことを特徴とする請求項 2 4 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 6】前記第 1 露光の露光時間が前記第 2 露光の露光時間より短いことを特徴とする請求項 2 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 7】絶縁基板の上にゲート線、前記ゲート線に連結されているゲート電極及びゲートパッドを含むゲート配線を形成する段階と、

前記ゲート配線の上部に第 1 絶縁膜、半導体層、そして第 2 絶縁膜を蒸着する段階と、

前記第 2 絶縁膜と前記半導体層及び前記第 1 絶縁膜をパターニングして前記ゲート電極の上部に位置する第 2 絶縁膜パターンと前記ゲートパッドとを露出させる接触孔を形成する段階と、

前記第 2 絶縁膜パターンの上部に接触層パターンを形成する段階と、

前記接触層パターンの上部にデータ線、前記データ線に連結されているソース電極、前記データ線及び前記ソース電極と分離されているドレーン電極、そして前記データ線の一端に位置するデータパッドを含むデータ配線を

形成する段階と、

前記ドレーン電極と連結されている画素電極を形成する段階とを含み、

前記第2絶縁膜パターン及び接触孔を形成する段階は感光膜パターンを利用した写真エッティング工程を通じて行われ、

前記感光膜パターンは前記第2絶縁膜パターンを形成するための第1露光と前記接触孔を形成するための第2露光とによって形成され、前記第2絶縁膜パターンの上部に位置し第1厚さを有する第1部分と前記接触孔の上部に位置し厚さがない第2部分と前記第1部分より厚さが小さい第3部分とを含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項28】前記第1露光と第2露光とは互いに異なる露光器を利用することを特徴とする請求項27に記載の薄膜トランジスタ基板の製造方法。

【請求項29】前記第1露光時に露光される光の強さは前記第2露光の光の強さより弱いことを特徴とする請求項27に記載の薄膜トランジスタ基板の製造方法。

【請求項30】前記第1露光の露光時間が前記第2露光の露光時間より短いことを特徴とする請求項29に記載の薄膜トランジスタ基板の製造方法。

【請求項31】前記第1露光の露光時間が前記第2露光の露光時間より短いことを特徴とする請求項27に記載の薄膜トランジスタ基板の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は写真エッティング用装置及び方法、そしてこれを利用した液晶表示装置用薄膜トランジスタ基板の製造方法に関する。

##### 【0002】

【従来の技術】半導体素子は、多層の薄膜を積層し、感光膜を利用した写真エッティング工程を用いて形成される。

【0003】ここで、写真エッティング工程とは感光膜を用いてマスクに描かれたパターンを薄膜パターンとして形成する工程であって、先ず、薄膜の上部に感光膜を塗布した後、感光膜を硬化させるためにソフトベーク (soft bake) を実施する。その次に、マスクを使用して露光を実施し、現像液を用いて感光膜を選択的に除去した後、ハードベーク (hard bake) を実施し、感光膜によって形成されたパターンに従って薄膜を選択的に除去して薄膜パターンを形成する。

【0004】この時、露光工程は、使用されるマスクの形態または露光されるショット (shot) の構成に応じて露光時間に差異が発生し、露光時間は感光膜を塗布したり現像する時間より長くかかるため、写真エッティング工程において生産性を向上させるためには露光工程を効率的に管理することが必要である。

【0005】一方、液晶表示装置は現在最も広く使用さ

れている平板表示装置のうちの一つであって、2枚の基板の間に液晶が注入されていて2枚の基板にそれぞれ形成されている電極に印加される電圧によって液晶が動く構造になっている。

##### 【0006】

【発明が解決しようとする課題】2枚の基板のうちの1枚は薄膜トランジスタを含む基板で、薄膜を形成し写真エッティングする工程を数回反復することによって基板内に薄膜トランジスタまたは配線を形成する。このような薄膜トランジスタ基板を製造する工程を単純化するために、マスク内に露光器の分解能より小さい微細パターンのスリットまたは透過率が異なる膜を形成し、これを用いて中間の厚さを有する感光膜パターンを形成して一枚以上の薄膜を1回の写真エッティング工程でパターニングする方法が提示されているが、このような方法は基板が大型化されるのに伴って基板全体に均一にパターンを形成することが難しくなるという問題がある。

【0007】本発明は前記課題を解決するためのものであって、その目的は、半導体素子の写真エッティング工程における生産性を向上させることにある。

【0008】本発明の他の目的は液晶表示装置用薄膜トランジスタ基板の製造工程を単純化することにある。

##### 【0009】

【課題を解決するための手段】このような課題を解決するために本発明では写真エッティング工程を進めるのにあたって2つの露光器を同時に使用する。

【0010】本発明による写真エッティング用装置は、基板上に感光膜を塗布する塗布装置と、光を照射して感光膜を露光する第1及び第2露光器と、露光された感光膜を現像する現像装置とを含む。

【0011】一方、本発明では、基板の上に形成されている薄膜上に感光膜を塗布した後、第1露光を実施する。その次に、第1露光された感光膜を第2露光して現像して厚さが互いに異なる少なくとも三つの部分を形成する。

【0012】ここで、第1露光及び第2露光は互いに異なる露光器を利用することができます。

【0013】この時、第2露光時に露光される光の強さを第1露光の光の強さより弱くしたり、第2露光の露光時間を第1露光の露光時間より短くすることができ、これら2種類の方法を共に使用することもできる。

【0014】本発明による薄膜トランジスタ基板の製造方法では、絶縁基板の上にゲート線とゲート線に連結されているゲート電極とを含むゲート配線を形成した後、ゲート配線を覆うゲート絶縁膜、半導体層、抵抗性接触層、そして導電体層を蒸着する。その後に、導電体層と接触層と半導体層とをパターニングしてデータ線、データ線に連結されているソース電極、そしてデータ線及びソース電極と分離されているドレーン電極を含むデータ配線と接触層パターンと半導体層パターンとを形成す

る。その後、データ配線を覆いドレーン電極を露出させる接触孔を含む保護膜を形成し、接触孔を通じてドレーン電極と連結されている画素電極を形成する。本発明のデータ配線と接触層パターンと半導体層とを形成する段階は、感光膜パターンを利用した写真エッチング工程を用いて行われ、感光膜パターンはデータ配線を形成するための第1露光とソース及びドレーン電極の間のチャンネルを形成するための第2露光とによって形成され、ソース及びドレーン電極の間に位置して第1の厚さを有する第1部分と第1部分より厚い厚さを有する第2部分と厚さのない第3部分とを含む。

【0015】本発明による他の製造方法では、絶縁基板の上にゲート線とゲート線に連結されているゲート電極とゲートパッドとを含むゲート配線を形成した後、ゲート配線の上部にゲート絶縁膜、半導体層、抵抗性接触層、そして導電体層を蒸着する。その次に、導電体層、接触層、半導体層及びゲート絶縁膜をパターニングしてゲートパッドを露出させる第1接触孔と、導電体パターン、接触層パターン、そして半導体層パターンとを形成する。その後、導電体パターン及び接触層パターンをパターニングしてデータ線、データ線に連結されているソース電極、データ線及びソース電極と分離されているドレーン電極、そしてデータ線の一端に位置するデータパッドを含むデータ配線と接触層パターンとを完成する。その後に、ドレーン電極と連結されている画素電極を形成し、データ配線及び画素電極を覆いゲートパッド及びデータパッドをそれぞれ露出させる第2及び第3接触孔を含む保護膜を形成する。ここで、第1接触孔、導電体パターン、接触層パターン、そして半導体層パターンを形成する段階は感光膜パターンを利用した写真エッチング工程を用いて行われ、感光膜パターンは導電体パターンを形成するための第1露光と第1接触孔を形成するための第2露光とによって形成され、導電体パターンの上部に位置して第1の厚さを有する第1部分と第1接触孔の上部に位置して厚さがない第2部分と第1部分より厚さが薄い第3部分とを含む。

【0016】本発明による他の製造方法では、絶縁基板の上にゲート線とゲート線に連結されているゲート電極とゲートパッドとを含むゲート配線を形成した後、ゲート配線の上部にゲート絶縁膜、半導体層及び抵抗性接触層を蒸着する。その次に、接触層と半導体層とゲート絶縁膜とをパターニングしてゲートパッドを露出させる第1接触孔と接触層パターンと半導体層パターンとを形成する。その後、接触層パターンの上部にデータ線、データ線に連結されているソース電極、データ線及びソース電極と分離されているドレーン電極、そしてデータ線の一端に位置するデータパッドを含むデータ配線を形成する。その後に、接触層パターンを完成し、ドレーン電極と連結されている画素電極を形成した後、データ配線及び画素電極を覆いゲートパッド及びデータパッドをそれ

ぞれ露出させる第2及び第3接触孔を含む保護膜を形成する。ここで、第1接触孔と接触層パターンと半導体層パターンとを形成する段階は感光膜パターンを利用した写真エッチング工程を用いて行われ、感光膜パターンは接触層パターンを形成するための第1露光と第1接触孔を形成するための第2露光とによって形成され、接触層パターンの上部に位置して第1の厚さを有する第1部分と第1接触孔の上部に位置して厚さのない第2部分と第1部分より厚さが薄い第3部分とを含む。

【0017】本発明による他の製造方法では、絶縁基板の上にゲート線とゲート線に連結されているゲート電極とゲートパッドとを含むゲート配線を形成した後、ゲート配線の上部に第1絶縁膜を形成する。その次に、ゲート配線の上部に第1絶縁膜を形成し、その上に半導体層を蒸着する。その後、半導体層の上部に抵抗性接触層パターンを形成し、接触層パターンの上部にデータ線、データ線に連結されているソース電極、データ線及びソース電極と分離されているドレーン電極、そしてデータ線の一端部に位置するデータパッドを含むデータ配線を形成する。その後、データ配線を覆う第2絶縁膜を形成し、第2絶縁膜と半導体層とゲート絶縁膜とをパターニングしてドレーン電極とゲートパッドとデータパッドとをそれぞれ露出させる第1乃至第3接触孔及び半導体層パターンを形成する。その後に、第1接触孔を通じてドレーン電極と連結されている画素電極を形成する。ここで、第1乃至第3接触孔及び半導体層パターンを形成する段階は感光膜パターンを利用した写真エッチング工程を用いて行われ、感光膜パターンは半導体層パターンを形成するための第1露光と第1乃至第3接触孔を形成するための第2露光とによって形成され、半導体層パターンの上部に位置して第1の厚さを有する第1部分と第1乃至第3接触孔の上部に位置して厚さのない第2部分と第1部分より厚さが薄い第3部分とを含む。

【0018】本発明による他の製造方法では、絶縁基板の上にゲート線、ゲート線に連結されているゲート電極及びゲートパッドとを含むゲート配線を形成した後、ゲート配線の上部に第1絶縁膜、半導体層、そして第2絶縁膜を蒸着する。その後に、第2絶縁膜と半導体層と第1絶縁膜とをパターニングしてゲート電極の上部に位置する第2絶縁膜パターンとゲートパッドとを露出させる接触孔を形成し、第2絶縁膜パターンの上部に接触層パターンを形成する。その後、接触層パターンの上部にデータ線、データ線に連結されているソース電極、データ線及びソース電極と分離されているドレーン電極、そしてデータ線の一端に位置するデータパッドを含むデータ配線を形成する。その後、ドレーン電極と連結されている画素電極を形成する。ここで、第2絶縁膜パターン及び接触孔を形成する段階は感光膜パターンを利用した写真エッチング工程を用いて行われ、感光膜パターンは第2絶縁膜パターンを形成するための第1露光と接触孔を

形成するための第2露光とによって形成され、第2絶縁膜パターンの上部に位置して第1の厚さを有する第1部分と接触孔の上部に位置して厚さのない第2部分と第1部分より厚さが小さい第3部分とを含む。

【0019】ここで、第1露光と第2露光とは互いに異なる露光器を利用することができます。

【0020】この時、第2露光時に露光される光の強さを第1露光の光の強さより弱くしたり第2露光の露光時間を第1露光の露光時間より短くすることができ、これら両方の方法を共に使用することもできる。

【0021】このように本発明では、露光器を2つ含む写真エッティング用装置を利用することによって生産性を向上させ、2回の露光工程で部分的に異なる厚さを有する感光膜パターンを形成し、これをエッティングマスクとして使用して少なくとも2つ以上のパターンを一回の写真エッティング工程で形成することによって工程を単純化することができる。

【0022】

【発明の実施の形態】以下、添付した図面を参照して本発明の実施形態例による写真エッティング用装置及びその方法について詳細に説明する。

【0023】図1に示したように、本発明による写真エッティング用装置は薄膜の上部に感光膜を塗布する感光膜塗布装置1、感光膜を硬化させるために加熱するソフトベーク器2、マスクを用いて硬化した感光膜に光を照射して露光する第1露光器3及び第2露光器4、現像液を利用して感光膜を選択的に除去して感光膜パターンを形成する現像装置5、そして現象された感光膜パターンの接着力を良好にするために加熱するハードベーク器6を含む。

【0024】図1の矢印は工程の流れを示し、第1露光器を利用した第1写真エッティング工程と第2露光器を利用した第2写真エッティング工程とを独立させて進めることで同一時間内に2倍の効果を得ることができ、また、第1露光器で露光した後に続けて第2露光器で露光して部分的に異なる厚さを有する感光膜パターンを形成し、これをエッティングマスクとして使用して少なくとも2つ以上のパターンを一回のエッティング工程で形成することで工程を単純化することもできる。

【0025】まず、感光膜塗布装置1で陽性感光膜を塗布し、塗布された感光膜をソフトベーク器2でベークした後、第1露光器3または第2露光器4のうちのいずれか一つでマスクを用いて露光を実施する。その後、現像装置5で感光膜の露光された部分を除去する。その後に、ハードベーク器6でベークする。この時、それぞれの露光器3、4は互いに同一パターンを露光することもでき、異なるパターンを露光することもできる。本発明では第1露光器3を通じた第1露光を含む第1写真エッティング工程と第2露光器4を通じた第2露光を含む第2写真エッティング工程とがそれぞれ同時に行われ得、ま

た、いずれか一つの工程の進行中に他の工程が始まり得るので、生産性を向上させることができる。

【0026】一方、他の写真エッティング工程は感光膜塗布装置1で陽性感光膜を塗布した後、塗布した感光膜をソフトベーク器2でベークし、その次に、第1露光器3から第2露光器4の順または第2露光器4から第1露光器3の順に露光を実施する。その後、現像装置5で感光膜の露光された部分を露光し、ハードベーク器6でベークを実施することによって互いに異なる厚さを有する感光膜パターンを形成する。従って、このような感光膜パターンを用いてその下部の薄膜がエッティングされる程度を異なるようにしたり多数層の薄膜を一度にエッティングする。

【0027】ここでは陽性感光膜を利用した例を挙げて説明したが、陰性感光膜を使用することもできる。陰性感光膜を使用する時には感光膜の現像工程で露光されない部分が除去される。

【0028】このように本発明による写真エッティング工程を利用して厚さが異なる感光膜を形成する方法を図2乃至4及び図1を参照して詳細に説明する。

【0029】まず、図2に示したように、基板10上に化学気相蒸着法(CVD)またはスパッタリング法またはコーティング法で薄膜20を形成した後、その上に陽性感光膜30を塗布する。その後に、第1パターン42が形成されている透明基板41からなる第1マスク40を用いて第1露光を実施する。

【0030】その後、図3に示したように、第2マスク50を用いて第2露光を実施して第1露光で光に露出されない部分A'及びC'のうちのC'だけが露光されるようとする。第2マスク50は透明基板51上に第2パターン52が形成されている。ここで、第2パターン52は第1マスク40のパターン42と異なるパターンのものを使用することができ、同一パターンのものを利用することもでき、第1マスク40のパターン42のような場合には第1露光時と異なって整列されるように配置する。この時、第1露光時と異なる光の強さで露光したり露光時間を異なるようにする。または、この両方を共に使用することもできる。

【0031】その後、現像工程を進めると、図4のように、A'領域の感光膜31は厚さが厚く、C'領域の感光膜32はA'領域の感光膜31より厚さが薄く、B'領域は殆ど除去されるようになる。

【0032】従って、第1露光器で第1露光を実施した後に第2露光器で第2露光を実施する二回の露光工程を利用して厚さが異なる感光膜パターンを形成することができる。

【0033】このような写真エッティング用装置及び方法を利用して液晶表示装置用薄膜トランジスタ基板を製造することができるが、添付した図面を参照して本発明の第1実施形態例による液晶表示装置用薄膜トランジスタ

基板及びその製造方法に対して説明する。

【0034】図5は本発明の第1実施形態例によって製造した液晶表示装置用薄膜トランジスタ基板の配置図であり、図6は図5に示した薄膜トランジスタ基板をIV-IV'線によって切断した断面図である。

【0035】まず、絶縁基板110上にアルミニウム(AI)またはアルミニウム合金、モリブデン(Mo)またはモリブデン-タンゲステン(MoW)合金、クロム(Cr)、タンタル(Ta)などの金属または導電体からなるゲート配線が形成されている。ゲート配線は横方向に伸びている走査信号線またはゲート線122、ゲート線122の一端に連結されていて外部からの走査信号の印加を受けてゲート線122に伝達するゲートパッド124、ゲート線122の分枝である薄膜トランジスタのゲート電極126、ゲート線122と平行であり上板の共通電極に入力される共通電極電圧などの電圧の印加を外部から受けた維持電極128を含む。維持電極128は後述する画素電極182と連結された維持蓄電器用導電体パターン168と重畠して画素の電荷保存能力を向上させる維持蓄電器をなす。

【0036】ゲート配線122、124、126、128は単一層に形成されるが、二重層や三重層に形成されることも可能である。二重層以上に形成する場合には一つの層は抵抗が小さい物質で形成し、他の層は他の物質、特に画素電極として使用されるITO(Indium Tin Oxide)との接触特性が良い物質で形成するのが好ましい。その理由は、外部と電気的に連結されるパッド部を補強するために、パッド部は配線用物質と画素電極用物質とで形成されるためである。画素電極をITOで形成する場合においてITOと接触特性が良い物質としてはクロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)などがあり、Cr/AI(またはAI合金)の二重層またはAI/Moの二重層をその例として挙げることができる。

【0037】ゲート配線122、124、126、128の上には窒化ケイ素(SiNx)などからなるゲート絶縁膜130が形成されてゲート配線122、124、126、128を覆っている。

【0038】ゲート絶縁膜130上には水素化非晶質ケイ素(hydrogenated amorphous silicon)などの半導体からなる半導体層142、148が形成されており、半導体層142、148上には磷(P)などのn型不純物で高濃度にドーピングされた非晶質ケイ素などからなる抵抗性接触層(ohmic contact layer)パターンまたは中間層パターン155、156、158が形成されている。

【0039】接触層パターン155、156、158上にはMoまたはMoW合金、Cr、AIまたはAI合金、Taなどの導電物質からなるデータ配線が形成されている。データ配線は縦方向に形成されているデータ線

162、データ線162の一端に連結されて外部からの画像信号の印加を受けるデータパッド164、そしてデータ線162の分枝である薄膜トランジスタのソース電極165からなるデータ線部を含み、またデータ線部162、164、165と分離されていてゲート電極126または薄膜トランジスタのチャンネル部Cに対してソース電極165の反対側に位置する薄膜トランジスタのドレーン電極166と、維持電極128上に位置している維持蓄電器用導電体パターン168とも含む。維持電極128を形成しない場合は、維持蓄電器用導電体パターン168も形成しない。

【0040】データ配線162、164、165、166、168もゲート配線122、124、126、128と同様に単一層に形成されるが、二重層や三重層で形成することも可能である。もちろん、二重層以上に形成する場合には、一つの層は抵抗が小さい物質で形成し、他の層は他の物質との接触特性が良い物質で形成するのが好ましい。

【0041】接触層パターン155、156、158はその下部の半導体層142、148とその上部のデータ配線162、164、165、166、168との接触抵抗を低下させる役割を果たし、データ配線162、164、165、166、168と完全に同一の形態を有する。即ち、データ線部接触層パターン155はデータ線162、164、165と同一であり、ドレーン電極用接触層パターン156はドレーン電極166と同一であり、維持蓄電器用接触層パターン158は維持蓄電器用導電体パターン168と同一である。

【0042】一方、半導体層142、148は、薄膜トランジスタのチャンネル部C以外はデータ配線162、164、165、166、168及び接触層パターン155、156、157と同一の形態をしている。具体的には、維持蓄電器用半導体層148と維持蓄電器用導電体パターン168及び維持蓄電器用接触層パターン158は同一の形態であるが、薄膜トランジスタ用半導体層142はデータ配線及び接触層パターンの残り部分と多少異なる。即ち、薄膜トランジスタのチャンネル部Cでデータ線162、164、165、特にソース電極165とドレーン電極166とが分離されていて、データ線部接触層パターン155とドレーン電極用接触層パターン156も分離されているが、薄膜トランジスタ用半導体層142はここで切断されずに連結されて薄膜トランジスタのチャンネルを生成する。

【0043】データ配線162、164、165、166、168上には保護膜170が形成されており、保護膜170はドレーン電極166、データパッド164及び維持蓄電器用導電体パターン168を露出させる接触孔171、173、174を有しており、またゲート絶縁膜130と共にゲートパッド124を露出させる接触孔172を有している。保護膜170は窒化ケイ素やア

クリル系などの有機絶縁物質で形成することが可能である。

【0044】保護膜170上には薄膜トランジスタから画像信号を受けて上板の電極と共に電界を生成する画素電極182が形成されている。画素電極182はITOなどの透明な導電物質から形成され、接触孔171を通じてドレーン電極166と物理的・電気的に連結されて画像信号の伝達を受ける。また画素電極182は接触孔174を通じて維持蓄電器用導電体パターン168とも連結されて導電体パターン168に画像信号を伝達する。一方、ゲートパッド124及びデータパッド164上には接触孔172、173を通じてそれぞれこれらと連結される補助ゲートパッド184及び補助データパッド186が形成されており、これらはパッド124、164と外部回路装置との接着性を補完してパッドを保護する役割を果たすものであって必須なものではなく、これらの適用は任意である。

【0045】ここでは画素電極182の材料の例として透明なITOを挙げたが、反射型液晶表示装置の場合には不透明な導電物質を使用することもできる。

【0046】以下、本発明の第1実施形態による液晶表示装置用基板の製造方法について図7乃至図15と前述の図5及び図6を参照して詳細に説明する。

【0047】まず、図7及び8に示したように、金属などの導電体層をスパッタリングなどの方法で1,000Å乃至3,000Åの厚さに蒸着し、第1写真エッティング工程を利用して絶縁基板110上にゲート線122、ゲートパッド124、ゲート電極126及び維持電極128を含むゲート配線を形成する。

【0048】その後、図9乃至図13に示したように、データ配線162、164、165、166、168と接触層パターン155、156、158を形成する。

【0049】まず、図10に示したように、ゲート絶縁膜130、半導体層140、接触層150を化学気相蒸着法を利用してそれぞれ1,500Å乃至5,000Å、500Å乃至2,000Å、300Å乃至600Åの厚さに連続蒸着し、その次に、金属などの導電体層160をスパッタリングなどの方法で1,500Å乃至3,000Åの厚さに蒸着した後、第2写真エッティング工程を実施するために導電体層160の上部に感光膜192、194を形成する。この時、前述の2回の露光方法を利用して感光膜192、194のうちの薄膜トランジスタのチャンネル部C、即ち、ソース電極165とドレーン電極166との間に位置した感光膜194は、データ配線部A、即ち、データ配線162、164、165、166、168が形成される部分に位置した感光膜192より厚さを薄くし、その他の部分Bは全て除去する。この時、チャンネル部Cに残っている感光膜194の厚さとデータ配線部Aに残っている感光膜192の厚さとの比は後述するエッティング工程の工程条件に応じて

異なるようにしなければならず、感光膜194の厚さを感光膜192の厚さの1/4以下にするのが好ましく、感光膜192の厚さは1.6乃至1.9μm程度に形成し、感光膜194の厚さは4,000Å以下の3,000Å程度に形成するのが好ましい。

【0050】その次に、感光膜194及びその下部の膜、即ち導電体層160、接触層150及び半導体層140に対するエッティングを進める。この時、データ配線部Aにはデータ配線及びその下部の膜がそのまま残っており、チャンネル部Cには半導体層140のみが残っていなければならず、残りの部分Bは上記3つの層160、150、140が全て除去されてゲート絶縁膜130が露出されなければならない。

【0051】図11に示したように、残りの部分Bの露出されている導電体層160を除去しその下部の接触層150を露出させる。この過程では乾式エッティングまたは湿式エッティング方法を全て使用することができ、この時、導電体層160はエッティングされて感光膜192、194は殆どエッティングされない条件下で行うのが好ましい。しかし、乾式エッティングの場合、導電体層160のみをエッティングして感光膜192、194はエッティングされない条件を見つけることが難しいので感光膜192、194も共にエッティングされる条件下でも行うことが可能である。この場合には湿式エッティングの場合より感光膜194の厚さを厚くすることでこの過程で感光膜194が除去されて下部の導電体層160が露出されることがないようになる。

【0052】導電体層160がMoまたはMoW合金、AlまたはAlI合金、Taのうちの一つである場合には乾式エッティングまたは湿式エッティングのうちのどちらでも可能である。しかし、Crは乾式エッティング方法では除去されにくいため、導電体層160がCrである場合には湿式エッティングのみを用いることが好ましい。導電体層160がCrである湿式エッティングの場合にはエッティング液としてCeNH<sub>4</sub>O<sub>3</sub>を使用することができ、導電体層160がMoまたはMoWである乾式エッティングの場合にはエッティング気体としてはCF<sub>4</sub>とHClとの混合気体またはCF<sub>4</sub>とO<sub>2</sub>との混合気体を使用することができ、後者の場合、感光膜に対するエッティング比もほぼ同一である。

【0053】このようにすると、図11に示したように、チャンネル部C及びデータ配線部Aの導電体層、即ちソース/ドレーン用導電体パターン167及び維持蓄電器用導電体パターン168のみが残り、その他の部分Bの導電体層160は全て除去されてその下部の接触層150が露出する。この時、残った導電体パターン167、168はソース電極165及びドレーン電極166が分離されないで連結している点以外はデータ配線162、164、165、166、168の形態と同一である。また、乾式エッティングを使用した場合、感光膜19

2、194もある程度の厚さにエッティングされる。

【0054】その次に、図12に示したように、その他の部分Bの露出された接触層150及びその下部の半導体層140を感光膜194と共に乾式エッティング方法で同時に除去する。この時のエッティングは感光膜192、194、接触層150及び半導体層140（半導体層と接触層はエッティング選択性が殆どない）が同時にエッティングされ、ゲート絶縁膜130はエッティングされない条件下で行わなければならず、特に感光膜192、194と半導体層140に対するエッティング比がほぼ同一な条件下でエッティングするのが好ましい。例えば、SF<sub>6</sub>とHC1との混合気体、またはSF<sub>6</sub>とO<sub>2</sub>との混合気体を使用すれば殆ど同一な厚さに2つの膜をエッティングすることができる。感光膜192、194と半導体層140に対するエッティング比が同一な場合、感光膜194の厚さは半導体層140及び接触層150の厚さの和と同一であるかまたはそれより薄くなければならない。

【0055】このようにすると、図12に示したように、チャンネル部Cの感光膜194が除去されてソース／ドレーン用導電体パターン167が露出し、その他の部分Bの接触層150及び半導体層140が除去されてその下部のゲート絶縁膜130が露出する。一方、データ配線部Aの感光膜192もエッティングされるので厚さが薄くなる。また、この段階で半導体層142、148が完成する。図面符号157と158はそれぞれソース／ドレーン用導電体パターン167の下部の接触層パターンと維持蓄電器用導電体パターン168の下部の接触層パターンを示す。

【0056】その次に、アッシング（ashing）を行ってチャンネル部Cのソース／ドレーン用導電体パターン167の表面に残っている感光膜のクズを除去する。アッシングする方法としてはプラズマ気体を利用したりマイクロ波（microwave）を利用することができ、主に使用する組成物としては酸素を挙げることができる。

【0057】その後、図13に示したように、チャンネル部Cのソース／ドレーン用導電体パターン167及びその下部のソース／ドレーン用接触層パターン157をエッティングして除去する。この時、エッティングはソース／ドレーン用導電体パターン167と接触層パターン157の両方に対して乾式エッティングのみで進めることができ、ソース／ドレーン用導電体パターン167に対しては湿式エッティングで、接触層パターン157に対しては乾式エッティングで行うこともできる。前者の場合、ソース／ドレーン用導電体パターン167と接触層パターン157とのエッティング選択性が大きい条件下でエッティングを行うことが好ましく、これはエッティング選択性が大きくな場合にはエッティング終点を見つけることが難しいためにチャンネル部Cに残る半導体層142の厚さを調節することが容易でないためである。この時、図13に示したように、半導体層142の一部が除去されて

厚さが薄くなる可能性もあり、感光膜192もこの時にある程度の厚さにエッティングされる。この時のエッティングはゲート絶縁膜130がエッティングされない条件で行わなければならず、感光膜192がエッティングされてその下部のデータ配線162、164、165、166、168が露出するがないように感光膜が厚いのが好ましいのはもちろんである。

【0058】このようにすると、ソース電極165とドレーン電極166とが分離されながらデータ配線162、164、165、166、168とその下部の接触層パターン155、156、158が完成する。

【0059】最後にデータ配線部Aに残っている感光膜192を除去する。

【0060】また、データ配線を乾式エッティングが可能な物質で形成する場合には感光膜192、194の厚さを調節して前述のような数回の中間工程を経ないで一回のエッティング工程で接触層パターン、半導体層、データ配線を形成することができる。即ち、B部分の導電体層160、接触層150及び半導体層140をエッティングする間に、C部分では感光膜194とその下部の導電体層160及び接触層150をエッティングし、A部分では感光膜192の一部のみをエッティングする条件を選択して一回の工程で形成することもできる。

【0061】このようにしてデータ配線162、164、165、166、168を形成した後、図14及び15に示したように、窒化ケイ素をCVD方法で蒸着したり、有機絶縁物質をスピンドルコートィングして2,000Å以上の厚さを有する保護膜170を形成する。その次に、第3写真エッティング工程で保護膜170をゲート絶縁膜130と共にエッティングしてドレーン電極166、ゲートパッド124、データパッド164及び維持蓄電器用導電体パターン168をそれぞれ露出させる接触孔171、172、173、174を形成する。

【0062】最後に、図5及び図6に示したように、400Å乃至500Å厚さのITO層を蒸着し、第4写真エッティング工程を使用して画素電極182、補助ゲートパッド184及び補助データパッド186を形成する。

【0063】このように、薄膜トランジスタ基板を製造するための本発明の第1実施形態例では、多数層の膜を一度にエッティングするために2回の露光工程を実施して感光膜192、194の厚さが異なる3つの部分を形成し、データ配線162、164、165、166、168とその下部の接触層パターン155、156、158及び半導体層142、148を形成するので工程を単純化することができる。

【0064】このように感光膜を形成する方法を用いて他の形態の薄膜トランジスタ基板を製造することができ、本発明による第2実施形態例は前述の第1実施形態例と類似しているがパターニング及び積層順序が相異する。第2実施形態例による薄膜トランジスタ基板及びそ

の製造方法を図16乃至図21に示した。

【0065】図16は本発明の第2実施形態例による薄膜トランジスタ基板の配置図であり、図17は図16のXII-XIII'線の断面図であって、第1実施形態例と類似しているが、画素電極282、補助ゲートパッド284及び補助データパッド286を保護膜270の下部に形成し、維持電極128と維持蓄電器用導電体168、半導体層148及び接触層パターン158を形成しない。

【0066】以下、図18乃至図21と前述の図16及び図17を参照して本発明の第2実施形態例による薄膜トランジスタ基板の製造方法について説明する。

【0067】まず、前述の第1実施形態例のように基板210上にゲート線222、ゲートパッド224及びゲート電極226を含むゲート配線222、224、226を形成する。

【0068】その次に、図18及び図21に示したように、導電体パターン267、接触層パターン257、半導体層242及びゲートパッド224を露出させる接触孔232を形成する。

【0069】先ず、図19に示したように、ゲート配線222、224、226上にゲート絶縁膜230、半導体層240、接触層250、そして導電体層260を順に蒸着した後、前述の2回の露光工程を用いて厚さが異なる第3感光膜292及び第4感光膜294を形成する。データ配線262、264、265、266が形成される第3感光膜292は厚さが最も厚く、ゲートパッド224の上部の接触孔232が形成される部分の感光膜は除去し、その他の部分の第4感光膜294は第3感光膜292より厚さが薄くなるようとする。

【0070】その後に、図20に示したように、感光膜292、294をエッティング阻止層として使用してゲートパッド224の上部の導電体層260、接触層250及び半導体層240をエッティングする。

【0071】その後、図21に示したように、アッシングを実施して第4感光膜294を除去するが、この時、第3感光膜292も一部エッティングされて厚さが薄くなる。その後、露出した導電体層260、接触層250及び半導体層240をエッティングして導電体パターン267、接触層パターン257及び半導体層242を形成する。その後、残っている第3感光膜292を除去する。

【0072】その後に、図16及び図17に示したように、チャンネルが形成される部分の導電体パターン267及び接触層パターン257をエッティングしてデータ線262、データパッド264、ソース電極265及びドレーン電極266、そして接触層パターン255、256を完成した後、画素電極282、補助ゲートパッド284及び補助データパッド286を形成する。その後に、保護膜270を蒸着した後、パターニングして補助ゲートパッド284及び補助データパッド286をそれぞれ露出させる接触孔272、273を形成する。

【0073】また、本発明の第3実施形態例による薄膜トランジスタ基板及びその製造方法を図22乃至図27に示した。

【0074】図22は本発明の第3実施形態例による薄膜トランジスタ基板の配置図であり、図23は図22のXVII-XVII'線の断面図である。第3実施形態例は第1実施形態例と類似しているが、画素電極382、補助ゲートパッド384及び補助データパッド386は保護膜370の下部に形成されており、データ配線362、364、365、366と接触層パターン355、356の形態が異なる。また、維持電極128、維持蓄電器用導電体168、半導体層148及び接触層パターン158を形成しない。

【0075】以下、図24乃至図27と前記図22及び図23とを参照して本発明の第3実施形態例による薄膜トランジスタ基板の製造方法について説明する。

【0076】まず、前述の第1実施形態例と同様に、基板310上にゲート線322、ゲートパッド324及びゲート電極326を含むゲート配線322、324、326を形成する。

【0077】その後に、図24及び図27に示したように、ゲートパッド324を露出させる接触孔332、接触層パターン357及び半導体層342を形成する。

【0078】先ず、図25に示したように、ゲート配線322、324、326上にゲート絶縁膜330、半導体層340、そして接触層350を蒸着した後、2回の露光工程で接触層350の上部に感光膜392、394を形成する。ここで、半導体層342及び接触層パターン355、356が形成される部分の第5感光膜392は厚さが最も厚く、ゲートパッド324の上部の接触孔332が形成される部分は感光膜を全て除去し、残り部分の第6感光膜394は第5感光膜392より厚さを薄くする。

【0079】その後に、図26に示したように、ゲートパッド324の上部の接触層350、半導体層340及びゲート絶縁膜330をエッティングする。

【0080】その後、図27に示したように、アッシング工程で第6感光膜394を除去するが、この時、第5感光膜392も一部除去されて厚さが薄くなる。その後、露出した接触層350及び半導体層340をエッティングして接触層パターン357と半導体層342を形成する。その後、残っている感光膜392を除去する。

【0081】その後、図22及び図23に示したように、データ線362、データパッド364、ソース電極365及びドレーン電極366を形成し、接触層パターン357をエッティングして接触層パターン355、356を完成した後、画素電極382、補助ゲートパッド384及び補助データパッド386を形成する。その後に、保護膜370を蒸着してパターニングして補助ゲートパッド384と補助データパッド386をそれぞれ露

出させる接触孔372、373を形成する。

【0082】本発明の第4実施形態例による薄膜トランジスタ基板及びその製造方法を図28乃至図36に示した。

【0083】図28は本発明の第4実施形態例による薄膜トランジスタ基板の配置図であり、図29は図28のXXII-XXII'線の断面図である。第4実施形態例も第1実施形態例と類似しているが、保護膜470がデータ配線462、464、465、466と類似した形態を有しているという点が異なる。また、第4実施形態例では維持電極128、維持蓄電器用導電体168、半導体層148及び接触層パターン158を形成しない。

【0084】以下、図30乃至図36と前記図28及び図29とを参照して本発明の第4実施形態例による薄膜トランジスタ基板の製造方法について説明する。

【0085】まず、前述の第1実施形態例と同様に、基板410上にゲート線422、ゲートパッド424及びゲート電極426を含むゲート配線422、424、426を形成する。

【0086】その次に、図30及び図31に示したように、ゲート絶縁膜430、半導体層440、接触層450及び導電体層460を蒸着した後、導電体層460と接触層450とをエッチングしてデータ線462、データパッド464、ソース電極465及びドレーン電極466を含むデータ配線と接触層パターン455、456とを形成する。

【0087】その後、図32乃至図36に示したように、第4乃至第6接触孔471、472、473を含む保護膜470と半導体層442とを形成する。

【0088】先ず、図33に示したように、データ配線462、464、465、466の上部に保護膜470を蒸着した後、感光膜492、494を形成し、前述の2回の露光方法を用いてデータ配線462、464、465、466が形成される部分の第7感光膜492の厚さが最も厚く、ドレーン電極466、ゲートパッド424、そしてデータパッド464の上部の第4乃至第6接触孔471、472、473が形成される部分の感光膜は全て除去し、残り部分の感光膜494は第7感光膜492より厚さが薄くなるようにする。

【0089】その後、図34に示したように、露出した膜をエッチングして第4乃至第6接触孔471、472、473を形成し、ドレーン電極466及びデータパッド464部は保護膜470のみをエッチングし、ゲートパッド422部は保護膜470、半導体層440及びゲート絶縁膜430までエッチングする。

【0090】その後、図35に示したように、アッシングして第8感光膜494を除去し、第7感光膜492も一部除去されて厚さが薄くなる。

【0091】その後、図36に示したように、感光膜492で覆われない部分の保護膜470及び半導体層44

0をエッチングする。その次に、残っている感光膜492を除去する。

【0092】その後、図28及び図29に示したように、画素電極482、補助ゲートパッド484及び補助データパッド486を形成する。

【0093】本発明の第5実施形態例による薄膜トランジスタ基板及びその製造方法を図37乃至図42に示した。

【0094】図37は本発明の第5実施形態例による薄膜トランジスタ基板の配置図であり、図38は図37のXXIX-XXIX'線の断面図である。第5実施形態例は第1実施形態例と類似しているが、保護膜570をゲート電極526の上部にのみ形成し、そのためにドレーン電極566及びデータパッド564をそれぞれ露出させる接触孔を形成しない点が異なる。また、維持電極128、維持蓄電器用導電体168、半導体層148及び接触層パターン158を形成しない。

【0095】以下、図39乃至図42と前記図37及び図38を参照して本発明の第5実施形態例による薄膜トランジスタ基板の製造方法について説明する。

【0096】まず、前述の第1実施形態例と同様に、基板510上にゲート線522、ゲートパッド524及びゲート電極526を含むゲート配線522、524、526を形成する。

【0097】その後、図39乃至図42に示したように、保護膜570とゲートパッド524を露出させる接触孔532を形成する。

【0098】先ず、図40に示したように、ゲート絶縁膜530、半導体層540、そして保護膜570を順に蒸着し、その上に2回の露光工程を用いて感光膜592、594を形成する。ここで、ゲート電極526の上部の第9感光膜592が最も厚く、ゲートパッド524の上部の接触孔572が形成される部分は感光膜が除去されており、その他の部分の第10感光膜594は第9感光膜592より厚さが薄くなるようにする。

【0099】その後、図41に示したように、ゲートパッド524の上部の露出した保護膜570、半導体層540及びゲート絶縁膜530をエッチングする。

【0100】その後、図42に示したように、アッシングを実施して第10感光膜594を除去するが、この時、第9感光膜592の厚さも薄くなる。その後に、保護膜570をエッチングしてゲート電極526の上部にのみ残す。その後、第9感光膜592を除去する。

【0101】その後、図37及び図38に示したように、接触層と導電体層とを蒸着してパターニングして半導体層542と接触層パターン555、556、そしてデータ線562、データパッド564とソース電極565及びドレーン電極566を形成する。その後、画素電極582、補助ゲートパッド584及び補助データパッド586を形成する。

【0102】このように本発明の実施形態例では多数層の薄膜を一度にエッチングするために2回の露光工程で厚さが異なる感光膜を形成してエッチングするので、工程が簡単であると共に基板全体に均一なパターンを得ることができる。

【0103】

【発明の効果】本発明では写真エッチング用装置に露光器を二つ設置するので生産性を向上させることができ、2回の露光工程で厚さが異なる感光膜を形成して多数層の薄膜を一度にエッチングするので工程が簡単になる。

【図面の簡単な説明】

【図1】本発明による写真エッチング用装置を示したものである。

【図2】本発明の実施形態例による感光膜パターンの形成方法を示したものである。

【図3】本発明の実施形態例による感光膜パターンの形成方法を示したものである。

【図4】本発明の実施形態例による感光膜パターンの形成方法を示したものである。

【図5】本発明の第1実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図6】図5のIV-IV'線の断面図である。

【図7】本発明の第1実施形態例によって製造する第1段階における薄膜トランジスタ基板の配置図である。

【図8】図7のVb-Vb'線の断面図である。

【図9】図8の次の段階における薄膜トランジスタ基板の配置図である。

【図10】図9のVIb-VIb'線の断面図である。

【図11】図9のVIb-VIb'線の断面図で、図10の次の段階を示したものである。

【図12】図9のVIb-VIb'線の断面図で、図11の次の段階を示したものである。

【図13】図9のVIb-VIb'線の断面図で、図12の次の段階を示したものである。

【図14】図13の次の段階における薄膜トランジスタ基板の配置図である。

【図15】図14のXb-Xb'線の断面図である。

【図16】本発明の第2実施形態例による薄膜トランジスタ基板の配置図である。

【図17】図16のXII-XII'線の断面図である。

【図18】本発明の第2実施形態例によって製造する段階における薄膜トランジスタ基板の配置図である。

【図19】図18のXIIIb-XIIIb'線の断面図である。

【図20】図18のXIIIb-XIIIb'線の断面図で、図19の次の段階を示したものである。

【図21】図18のXIIIb-XIIIb'線の断面図で、図20の次の段階を示したものである。

【図22】本発明の第3実施形態例による薄膜トランジスタ基板の配置図である。

【図23】図22のXVII-XVII'線の断面図である。

【図24】本発明の第3実施形態例によって製造する段階における薄膜トランジスタ基板の配置図である。

【図25】図24のXVIIb-XVIIb'線の断面図である。

【図26】図24のXVIIb-XVIIb'線の断面図で、図25の次の段階を示したものである。

【図27】図24のXVIIb-XVIIb'線の断面図で、図26の次の段階を示したものである。

【図28】本発明の第4実施形態例による薄膜トランジスタ基板の配置図である。

【図29】図28のXXII-XXII'線の断面図である。

【図30】本発明の第4実施形態例によって製造する段階における薄膜トランジスタ基板の配置図である。

【図31】図30のXXIIIb-XXIIIb'線の断面図である。

【図32】図31の次の段階における薄膜トランジスタ基板の配置図である。

【図33】図32のXXIVb-XXIVb'線の断面図である。

【図34】図32のXXIVb-XXIVb'線の断面図で、図33の次の段階を示したものである。

【図35】図32のXXIVb-XXIVb'線の断面図で、図34の次の段階を示したものである。

【図36】図32のXXIVb-XXIVb'線の断面図で、図35の次の段階を示したものである。

【図37】本発明の第5実施形態例による薄膜トランジスタ基板の配置図である。

【図38】図37のXXIX-XXIX'線の断面図である。

【図39】本発明の第5実施形態例によって製造する段階における薄膜トランジスタ基板の配置図である。

【図40】図39のXXXb-XXXb'線の断面図である。

【図41】図39のXXXb-XXXb'線の断面図で、図40の次の段階を示したものである。

【図42】図39のXXXb-XXXb'の断面図で、図41の次の段階を示したものである。

【符号の説明】

1 : 感光膜塗布装置

2 : ソフトベーク器

3 : 第1露光器

4 : 第2露光器

5 : 現像装置

6 : ハードベーク器

10 : 基板

20 : 薄膜

30、31、32 : 感光膜

40 : 第1マスク

41、51 : 透明基板

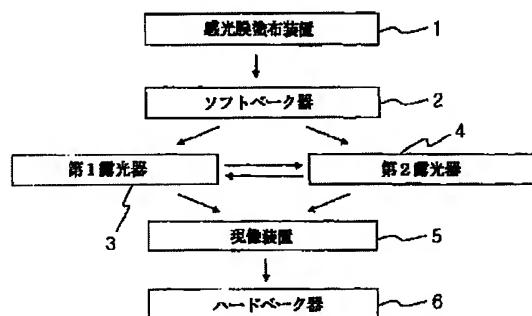
42 : 第1パターン

50 : 第2マスク

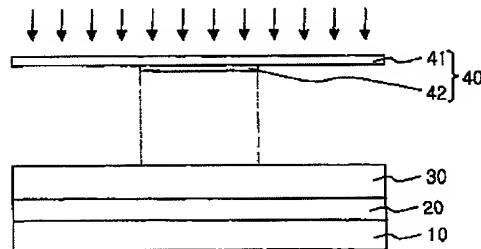
52 : 第2パターン

110、210、310、410、510 : 絶縁基板  
 122、222、322、422、522 : ゲート線  
 124、224、324、424、524 : ゲートパッド  
 126、226、326、426、526 : ゲート電極  
 128 : 維持電極  
 130、230、330、430、530 : ゲート絶縁膜  
 140、240、242、340、342、440、442、540、542 : 半導体層  
 142 : 薄膜トランジスタ用半導体層  
 148 : 維持蓄電器用半導体層  
 150、250、350、450 : 接触層  
 155、255、355、455、555 : データ線部接触層パターン  
 156、256、356、456、556 : ドレーン電極用接触層パターン  
 158 : 維持蓄電器用接触層パターン  
 160、260、460 : 導電体層  
 162、262、362、462、562 : データ線  
 164、264、364、464、564 : データパッド  
 165、265、365、465、565 : ソース電極

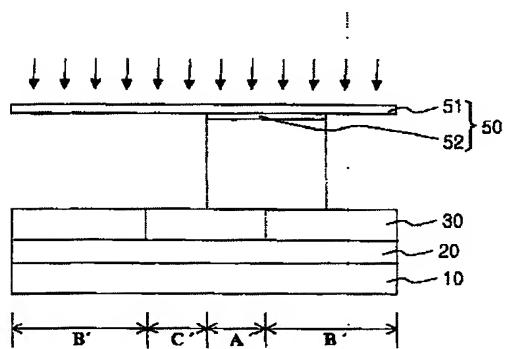
【図1】



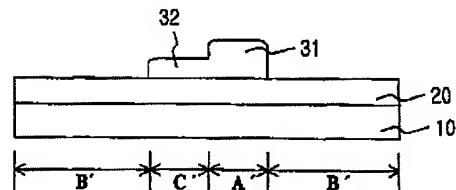
【図2】



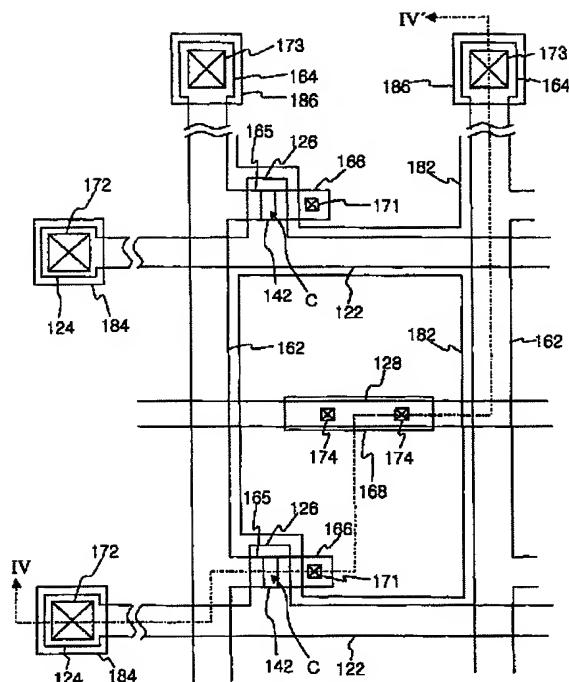
【図3】



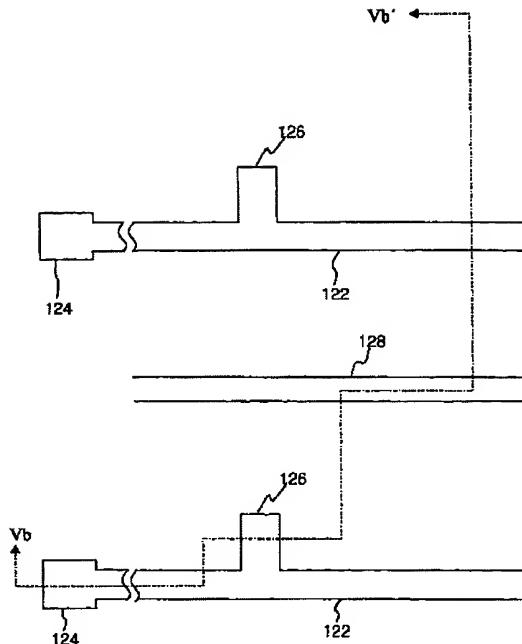
【図4】



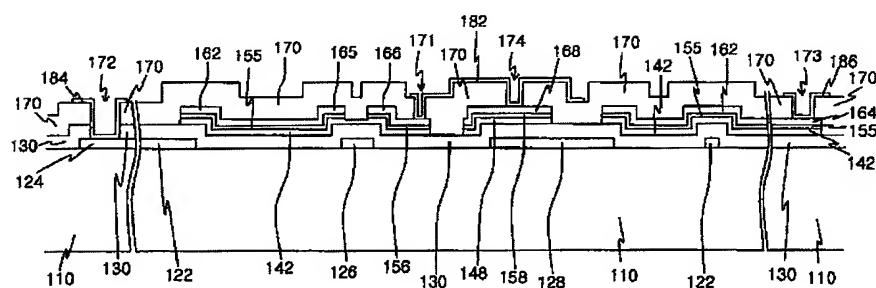
【図5】



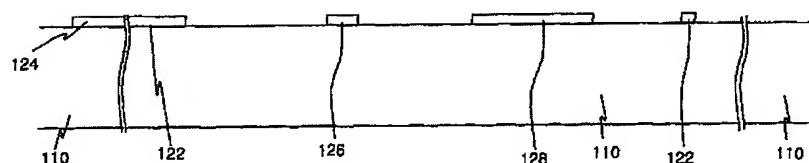
【図7】



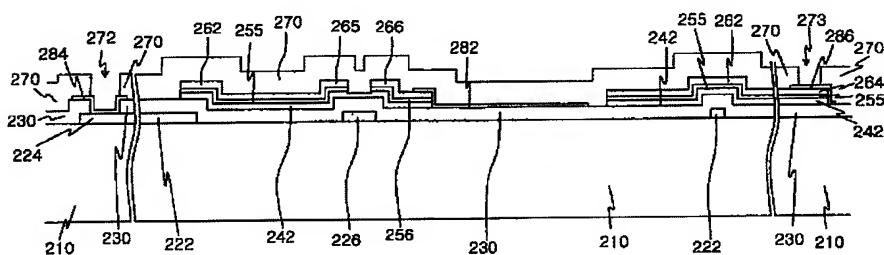
【図6】



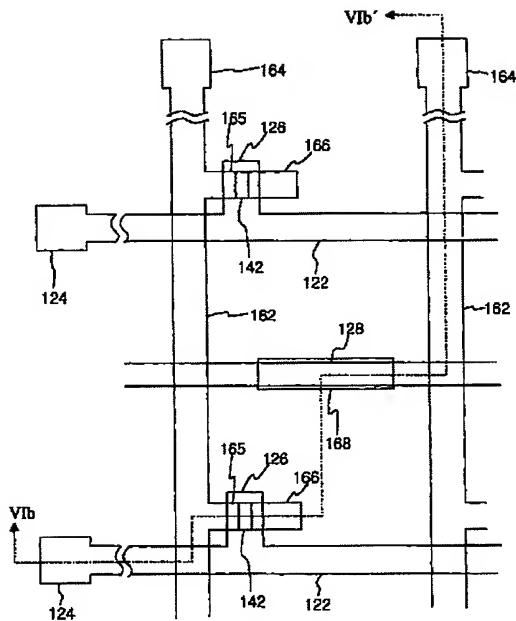
【図8】



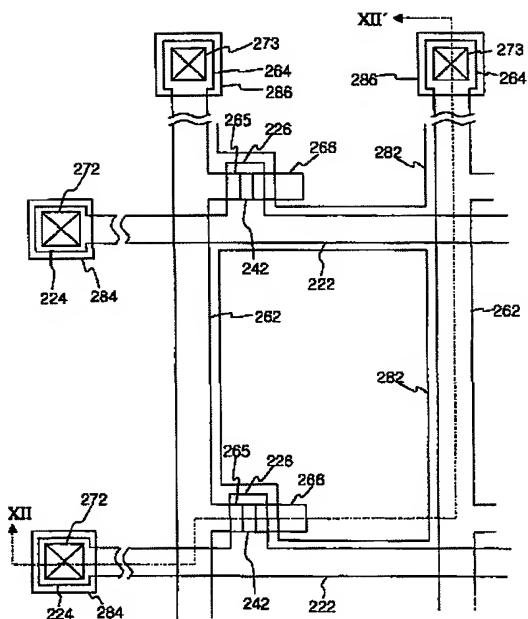
【図17】



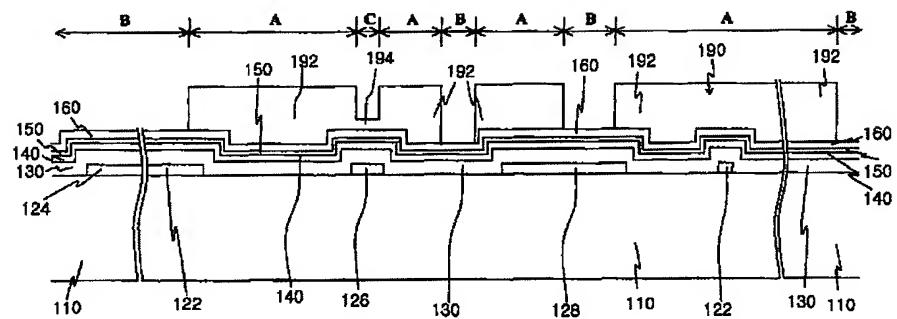
【図 9】



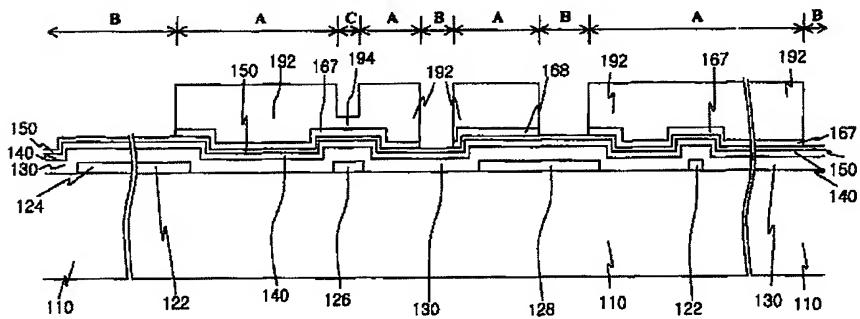
【図 16】



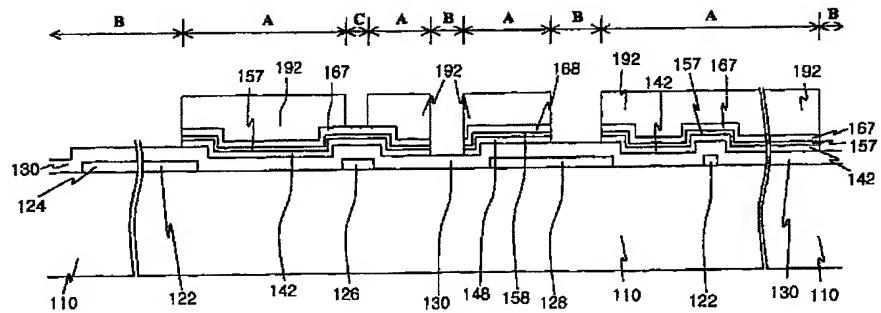
【図 10】



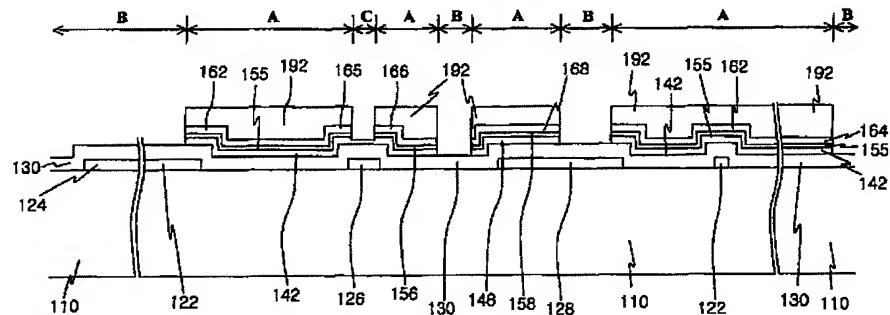
【図 11】



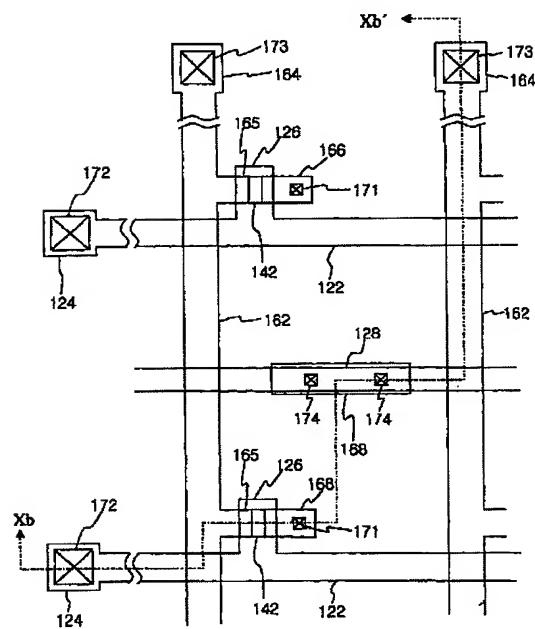
【図 1 2】



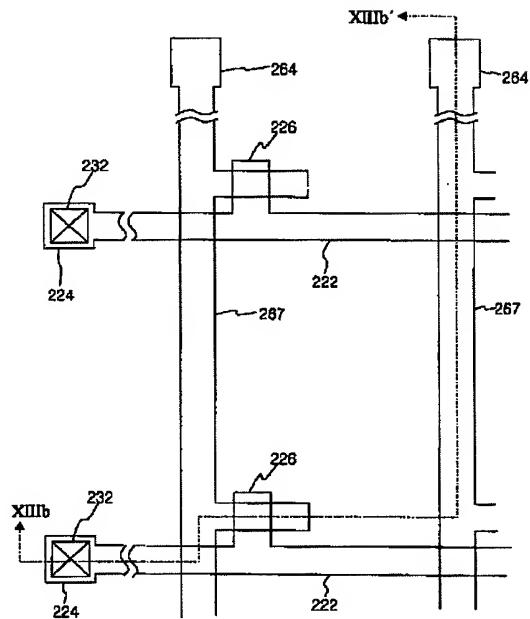
【図 1 3】



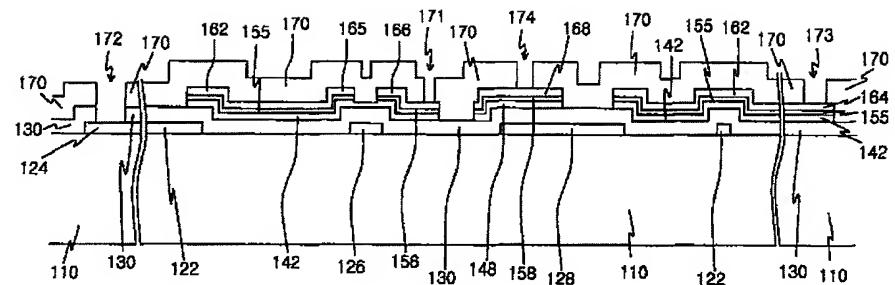
【図 1 4】



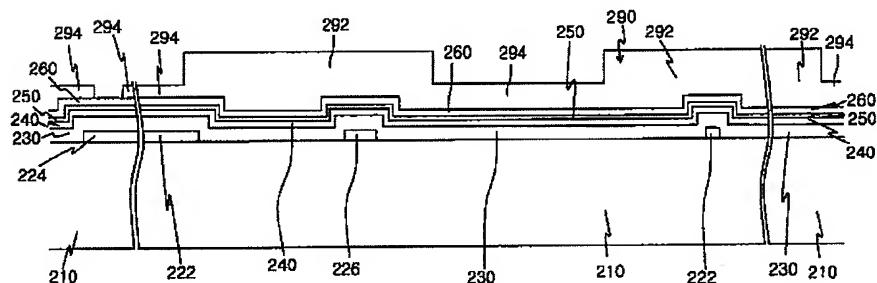
【図 1 8】



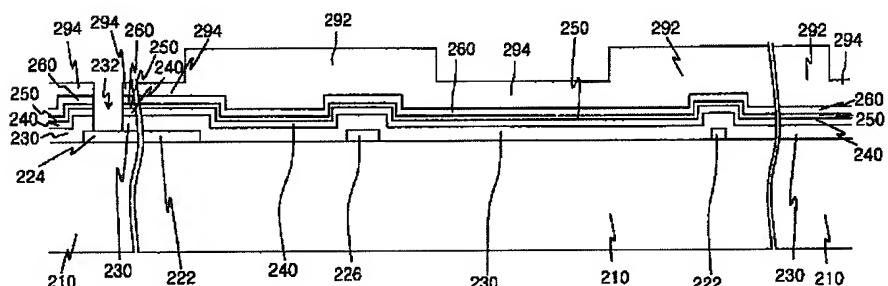
【図 15】



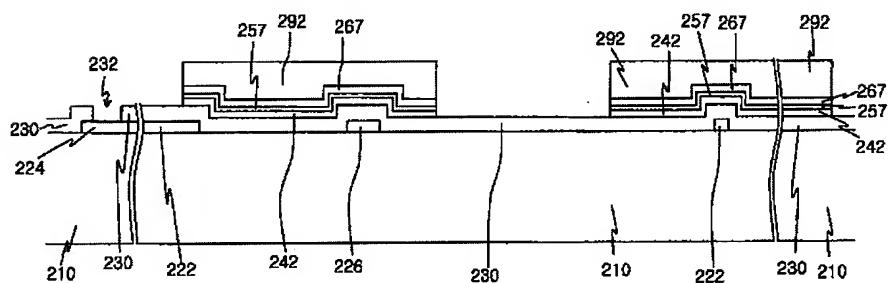
【図 19】



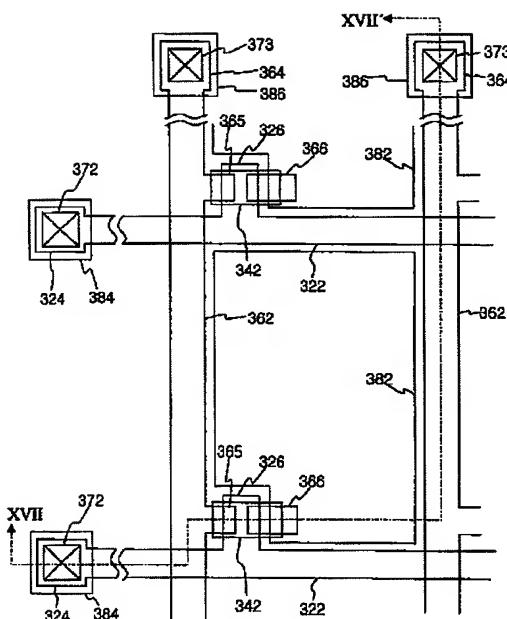
【図 20】



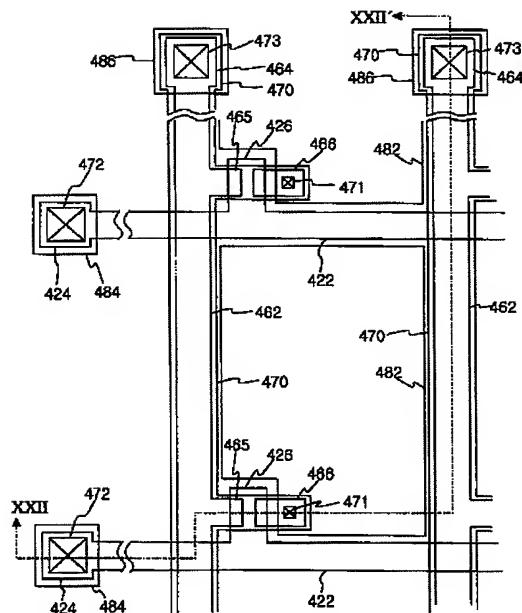
【図 21】



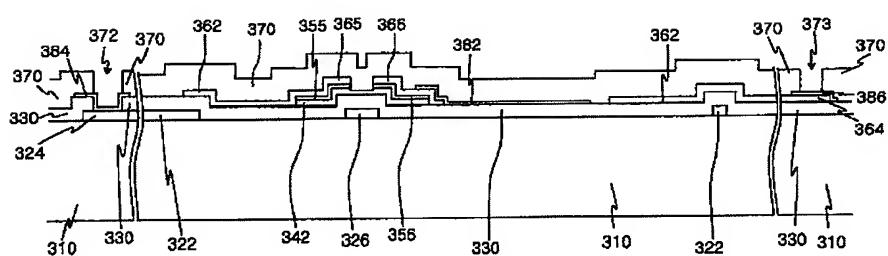
【図22】



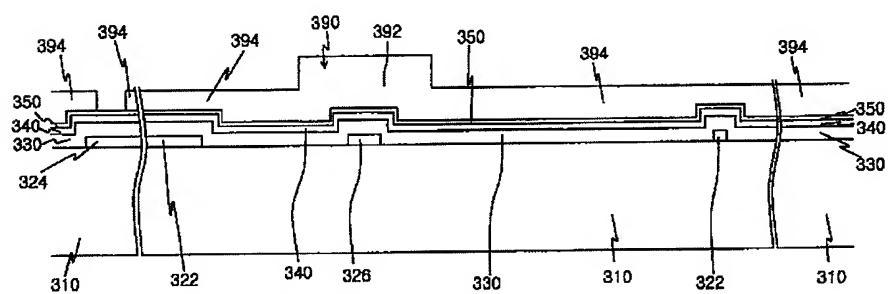
【図28】



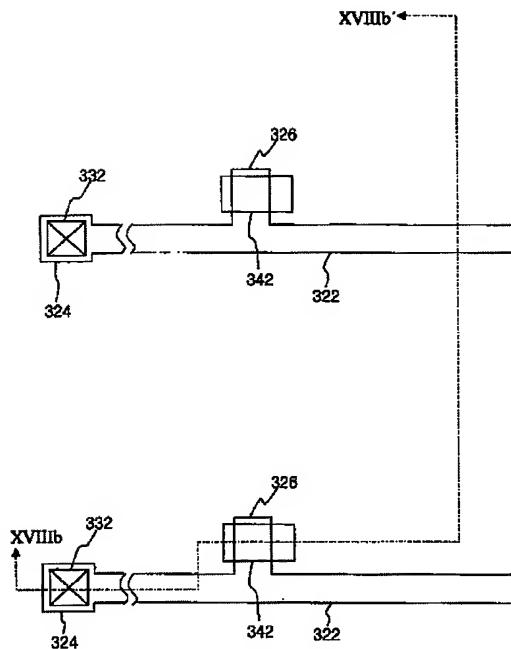
【図23】



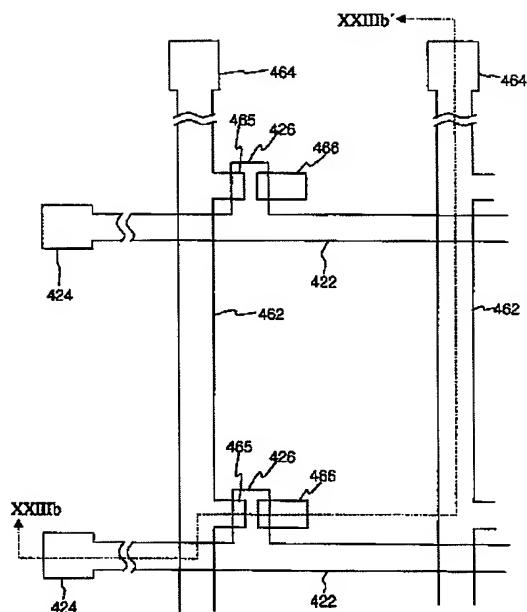
【图25】



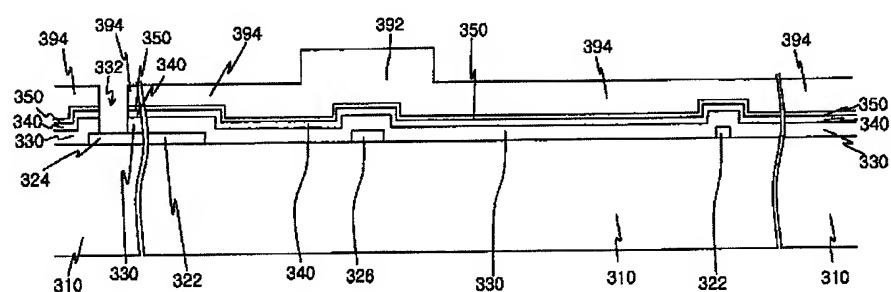
【図24】



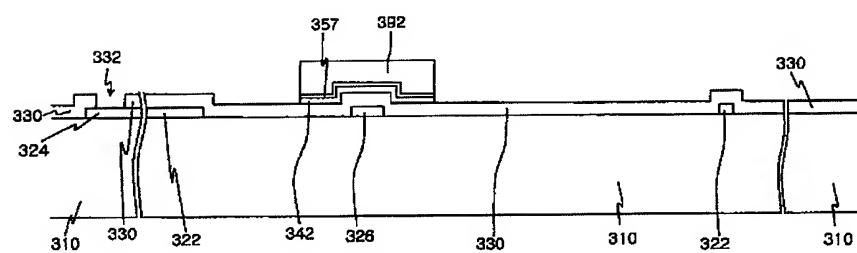
【図30】



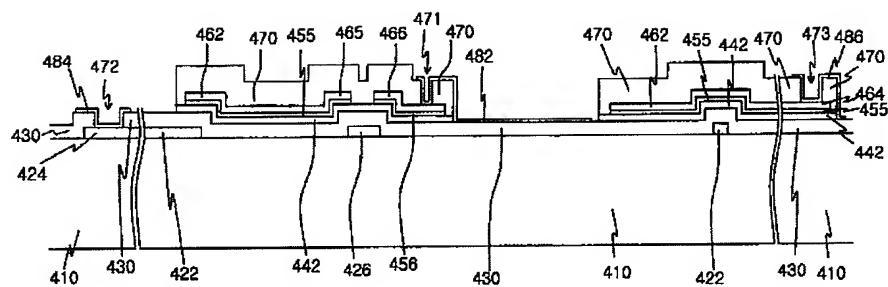
【図26】



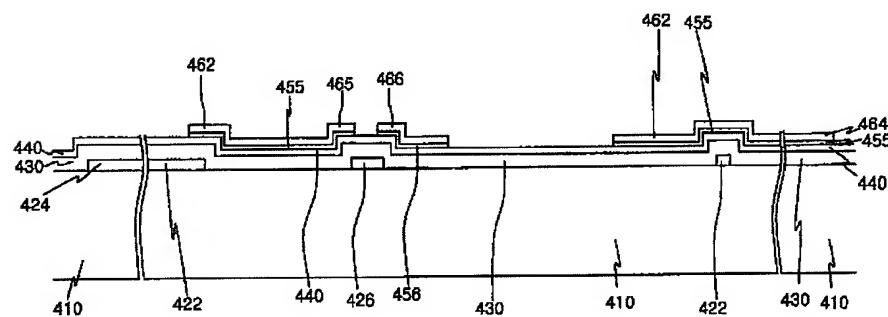
【図27】



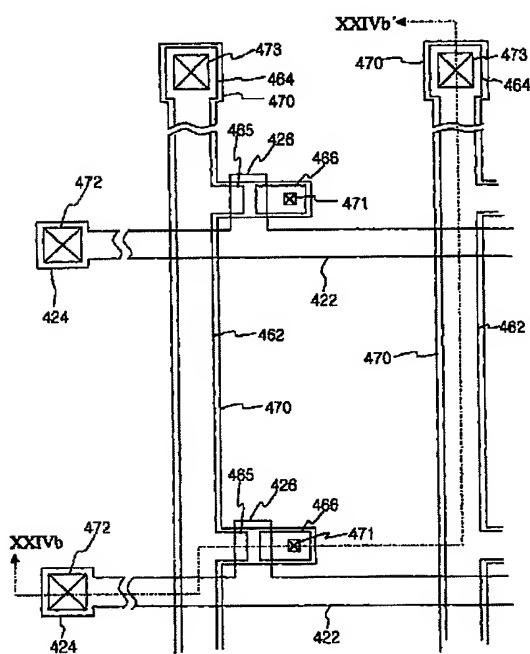
【図 29】



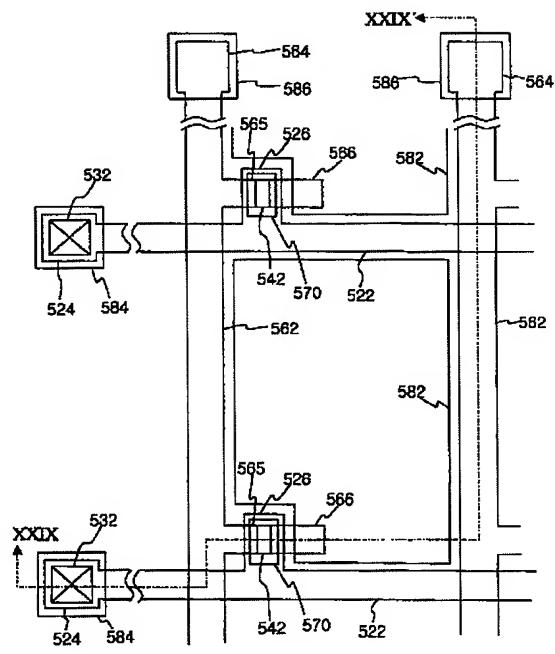
【図 31】



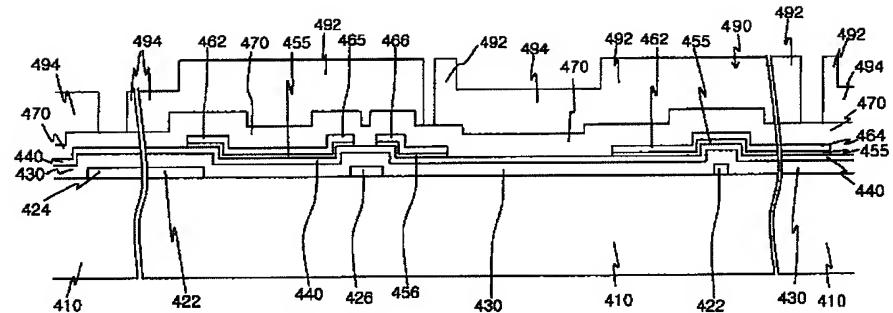
【図 32】



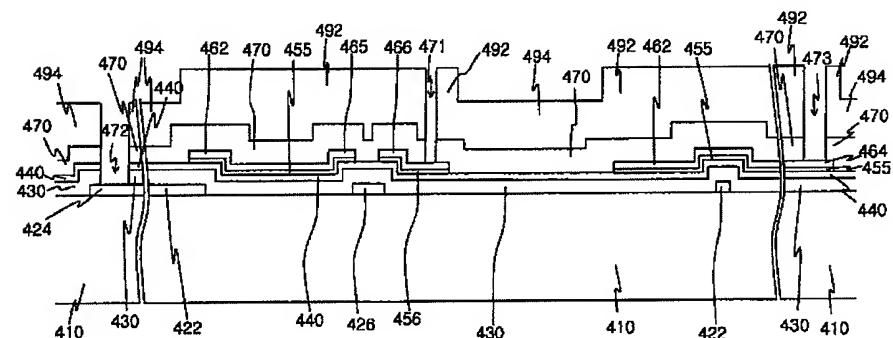
【図 37】



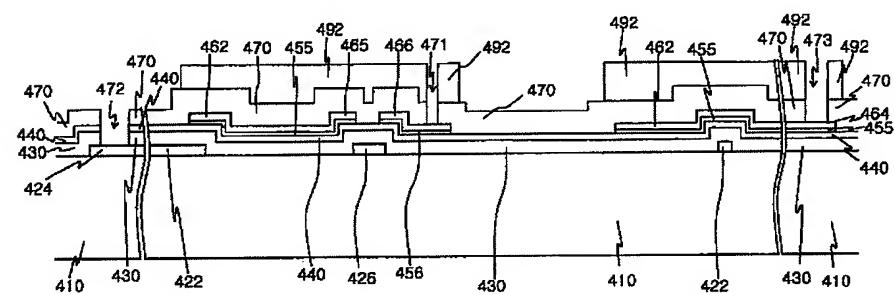
【図 3 3】



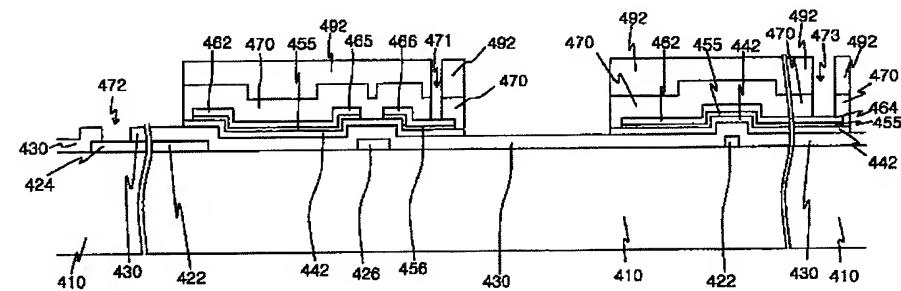
【図 3 4】



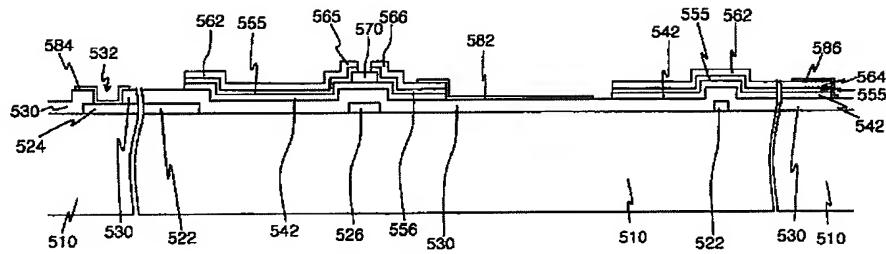
【図 3 5】



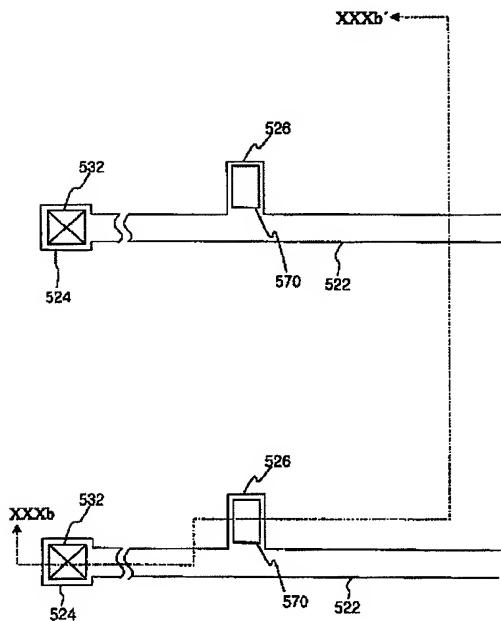
【図 3 6】



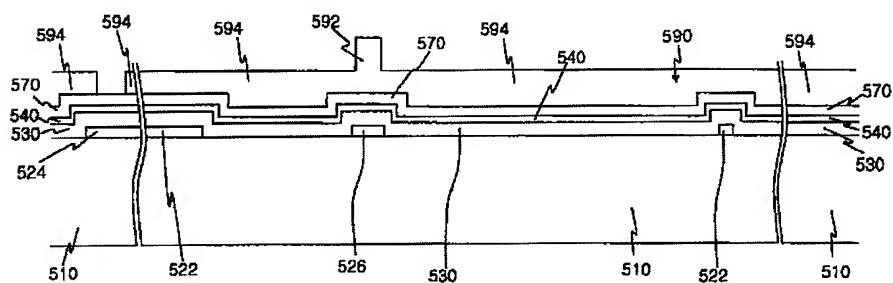
【図 3 8】



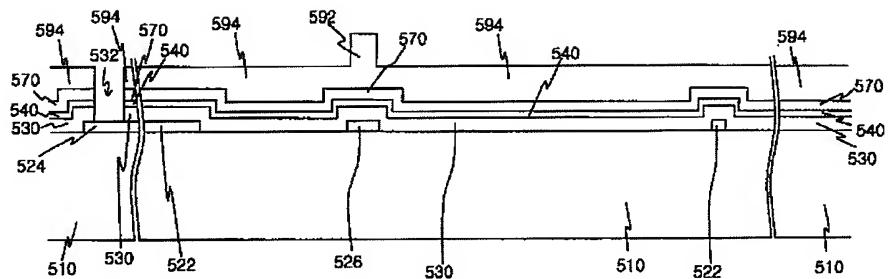
【図 3 9】



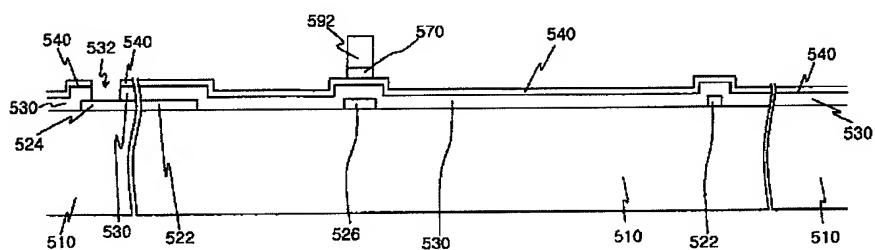
【図 4 0】



【図 4 1】



【図 4 2】



---

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

マークコード (参考)

H O 1 L 21/336

H O 1 L 29/78

6 2 7 C